



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0087367  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

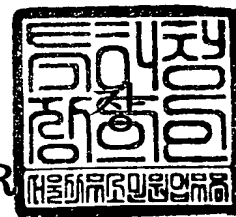
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 09 월 30 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0018  
**【제출일자】** 2002.12.30  
**【발명의 명칭】** 반도체 소자의 제조방법 및 구조  
**【발명의 영문명칭】** Manufacture method and structure of semiconductor element  
**【출원인】**  
**【명칭】** 동부전자 주식회사  
**【출원인코드】** 1-1998-106725-7  
**【대리인】**  
**【성명】** 서만규  
**【대리인코드】** 9-1998-000260-4  
**【포괄위임등록번호】** 2001-066005-7  
**【발명자】**  
**【성명의 국문표기】** 손현준  
**【성명의 영문표기】** SOHN, Hyun Joon  
**【주민등록번호】** 750116-1069420  
**【우편번호】** 138-200  
**【주소】** 서울특별시 송파구 문정동 대우아파트 102-303  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 서만규 (인)  
**【수수료】**  
**【기본출원료】** 14 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 0 항 0 원  
**【합계】** 29,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 제조방법 및 구조에 관한 것으로, 게이트와 트렌치 격리를 동시에 형성하여 게이트 산화막의 신뢰성을 향상시키고, 트렌치의 디봇을 방지하며, 공정의 단순화를 가능하게 하는 것이다.

특히, 본 발명은 웨이퍼 표면에 포토레지스트 공정과 이온 주입공정을 통하여 웰, 소오스 영역, 드레인 영역을 형성하는 단계와, 상기 형성된 웨이퍼에 세정공정을 하여, 게이트 산화막을 형성시키는 단계와, 상기 게이트 산화막 위에 폴리실리콘을 덮고, 트렌치 형성을 위한 포토레지스트를 형성하는 단계와, 상기 포토레지스트를 건식 식각을 통해 제거하여 트렌치 격리를 형성하는 단계와, 상기 트렌치 내부에 산화막을 형성하고, 절연물질을 채워 평탄화 공정을 한 후, 폴리실리콘 막까지 식각하는 단계 및 상기 폴리실리콘 상면에 포토레지스트 공정을 하고, 건식 식각하여 게이트를 형성하는 것을 포함하여 이루어지는 것을 특징으로 한다.

**【대표도】**

도 2a

**【색인어】**

반도체 소자, 게이트, 폴리실리콘

## 【명세서】

## 【발명의 명칭】

반도체 소자의 제조방법 및 구조{Manufacture method and structure of semiconductor element}

## 【도면의 간단한 설명】

도 1a 내지 1d는 종래 반도체 제조방법을 나타낸 공정도이고,

도 2a 내지 2e는 본 발명의 일실시예에 따른 반도체 제조방법을 나타낸 공정도이다.

<도면의 주요부분에 대한 부호의 설명>

30 : 반도체 기판

31 : 소오스

32 : 드레인

33 : 웰

34 : 게이트 산화막

35 : 폴리실리콘

36 : 포토레지스트

38 : 트렌치

40 : 절연물질

41 : 게이트

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 반도체 소자의 제조방법 및 구조에 관한 것으로, 더욱 상세하게는 게이트와 트렌치 격리를 동시에 형성하여 게이트 산화막의 신뢰성을 향상시키고, 트렌치의 디봇을 방지하며, 공정의 단순화를 가능하도록 하는 반도체 소자의 제조방법 및 구조에 관한 것이다.

- <10> 반도체가 고집적화 되어 단위소자 분리 방법에 있어서, 작은 면적에서 우수한 전기적 특성을 요구하게 되고 이는 디펙의 감소와 양질의 게이트 산화막과 소자 격리기술의 개발을 요구하고 있다.
- <11> 도 1a 내지 1d는 종래 반도체 제조방법을 나타낸 공정도로서, 도면에 도시된 바와 같이 상기 반도체의 제조공정은 웨이퍼(10) 위에 하드마스크(11) 물질을 덮은 후, 그 위에 포토레지스트(12)를 형성하고 건식식각 공정을 통하여 트랜치 격리 영역형성을 위한 마스크를 형성한다. 다음으로, 상기 포토레지스트(12)를 제거하고 건식식각 공정을 통하여 트랜치(14) 격리를 형성한 후, 산화막 형성공정을 통하여 상기 트랜치 내부에 산화막을 형성시킨다. 상기 산화막이 형성된 트랜치(14)에 절연물질(18)을 채우고 평탄화 공정(CMP)을 통하여 하드마스크(11)층까지 갈아내게 된다. 그리고, 세정공정을 통하여 남아있던 하드마스크(11)를 제거하게 된다. 이후, 포토레지스트 공정과 이온주입공정을 통하여 웰(Well)(17), 소오스(15), 드레인(16) 등을 형성하고 최종적으로 게이트 산화막을 형성하게 된다.
- <12> 이때, 전에 행하여진 많은 공정들 특히, 세정공정에 의하여 디봇(divot)(19)이 발생하게 된다.
- <13> 계속해서, 폴리실리콘을 웨이퍼 전면에 덮은 후, 포토레지스트 공정과 건식식각 공정을 통하여 게이트(21)를 형성시킨다.
- <14> 그러나, 상기한 반도체 소자 제조 공정은 기발생된 디봇(19)에 의하여 폴리 잔유물(Poly residue or poly stringer)(20)이 발생하게 되고 반도체 소자의 특성과 신뢰성에 악영향을 미치는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

- <15> 본 발명은 상기와 같은 종래기술의 제반 문제점을 해결하기 위한 것으로 그 목적은, 반도체 소자의 트렌치 격리 제조에서 디봇을 방지하여 폴리실리콘의 잔유물을 원천적으로 제거하고, 게이트 산화막의 신뢰성을 향상시켜 소자 특성과 신뢰성을 향상시키는 반도체 소자의 제조 방법 및 구조를 제공함에 있다.

【발명의 구성 및 작용】

- <16> 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
- <17> 도 2a 내지 2e는 본 발명의 일실시예에 따른 반도체 제조방법을 나타낸 공정도이다.
- <18> 도 2에 도시된 바와 같이 반도체 소자의 제조 방법은 웨이퍼(30) 표면에 포토레지스트 공정과 이온 주입공정을 통하여 웰(33), 소오스 영역(31), 드레인 영역(32)을 형성하는 단계와, 상기 형성된 웨이퍼(30)에 세정공정을 하여, 게이트 산화막(34)을 형성시키는 단계(도 2a)와, 상기 게이트 산화막(34) 위에 폴리실리콘(35)을 덮고, 트렌치 형성을 위한 포토레지스트(36)를 형성하는 단계(도 2b)와, 상기 포토레지스트(36)를 건식식각을 통해 제거하여 트렌치(38) 격리를 형성하는 단계(도 2c)와, 상기 트렌치(38) 내부에 산화막을 형성하고, 절연물질(40)을 채워 평탄화 공정을 한 후, 폴리실리콘(35) 막까지 식각하는 단계(도 2d) 및 상기 폴리실리콘(35) 상면에 포토레지스트(37) 공정을 하고, 건식식각하여 게이트(41)를 형성한다(도 2e).
- <19> 또한, 상기 건식식각하여 게이트(41)를 형성하는 단계는 절연물과 선택비가 없는 조건으로 식각하는 제 1식각 공정과, 상기 절연물과 선택비가 있는 조건으로 식각하는 제 2식각 공정을 하여 상기 트렌치 절연물(40)이 웨이퍼 위로 돌출되지 않도록 한다.

- <20>       상기한 바와 같은 방법으로 제조된 반도체 소자의 구조는 반도체 웨이퍼(30) 표면에 형성된 웰(33), 소오스(31), 드레인영역(32)과, 상기 웨이퍼(30) 위에 형성되는 게이트 산화막(34)과, 상기 게이트 산화막(34) 위에 형성되는 게이트(41) 및 내부에 절연물질(40)이 충전되는 트랜치로 구성된다.
- <21>       이와 같이 구성된 본 발명의 작용을 더욱 상세하게 설명하면 다음과 같다.
- <22>       반도체 웨이퍼(30) 표면에 포토레지스트 공정과 이온주입 공정을 행하여 웰(33), 소오스 영역(31), 드레인 영역(32)을 형성하고, 세정공정을 거쳐 게이트 산화막(34)을 형성한다.
- <23>       상기한 방법은 게이트 산화막(34) 형성전에 공정의 수가 감소함에 따라 디펙과 웨이퍼 손상에 의한 웨이퍼의 피팅현상을 감소시키며, 상기 게이트 산화막(34) 신뢰성 향상과 디펙 감소로 인한 소자의 특성을 증대시킨다.
- <24>       계속해서, 먼저 형성된 상기 게이트 산화막(34) 위에 폴리실리콘(35)을 덮고, 트랜치 형성을 위한 포토레지스트(36)를 형성한 후, 다시 상기 포토레지스트(36)를 건식식각 공정을 통하여 제거함으로써 트랜치(38)를 형성한다.
- <25>       상기 트랜치(38)가 형성되면 그 내부에 산화막 형성을 하고, 절연물질(40)을 트랜치(38) 내부에 채운 다음, 평탄화 공정을 통하여 폴리실리콘막(35)까지 갈아내고, 드러난 상기 폴리실리콘(35) 위에 게이트 형성을 위한 포토레지스트(37) 공정을 시행한다.
- <26>       이어, 상기 폴리실리콘(35)을 건식식각하여 게이트(41)를 형성시키는데, 상기 건식식각 공정은 2단계 이상으로 나누어 지며, 그 첫단계는 절연물과 선택비가 없는 조건으로 식각하고, 그 다음 단계는 절연물과 선택비가 있는 조건으로 식각하여 트랜치 절연물(40)이 웨이퍼 위로 돌출되지 않도록 식각하는 것이다.

<27> 이에 따라, 상기 트렌치 에지부분에 디봇이 발생하기 않아 폴리 잔유물이 발생하기 않으므로써 상기 게이트 산화막 신뢰성 향상과 디펙트의 감소를 통하여 소자의 특성을 향상 시킬수 있는 것이다.

<28> 이상에서는 본 발명의 바람직한 실시예에 대하여 도시하고 또한 설명하였으나, 본 발명은 상기한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 본 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 기재된 청구범위 내에 있게 된다.

#### 【발명의 효과】

<29> 이상에서 설명한 바와 같이 본 발명에 의하면, 트렌치의 에지부위에 발생하는 디봇과 폴리실리콘 잔유물(stringer)을 원천적으로 방지하게 되고, 게이트 산화막 형성전 공정의 수가 감소함에 따라 디펙(defect)과 웨이퍼 손상에 의한 웨이퍼의 피팅(pitting)현상이 감소하게 되는 효과가 있다.

<30> 또한, 게이트 산화막 신뢰성 향상과 디펙트의 감소를 통하여 소자 특성 향상 및 신뢰성이 증대되는 효과가 있다.



**【특허청구범위】****【청구항 1】**

웨이퍼 표면에 포토레지스트 공정과 이온 주입공정을 통하여 웰, 소오스 영역, 드레인 영역을 형성하는 단계와;

상기 형성된 웨이퍼에 세정공정을 하여, 게이트 산화막을 형성시키는 단계와;

상기 게이트 산화막 위에 폴리실리콘을 덮고, 트랜치 형성을 위한 포토레지스트를 형성하는 단계와;

상기 포토레지스트를 건식 식각을 통해 제거하여 트랜치 격리를 형성하는 단계와;

상기 트랜치 내부에 산화막을 형성하고, 절연물질을 채워 평탄화 공정을 한 후, 폴리실리콘 막까지 식각하는 단계; 및

상기 폴리실리콘 상면에 포토레지스트 공정을 하고, 건식 식각하여 게이트를 형성하는 것을 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 제조방법

**【청구항 2】**

제 1항에 있어서, 상기 건식 식각하여 게이트를 형성하는 단계는

절연물과 선택비가 없는 조건으로 식각하는 제 1식각 공정과, 상기 절연물과 선택비가 있는 조건으로 식각하는 제 2식각 공정을 하여 상기 트랜치 절연물이 웨이퍼 위로 돌출되지 않도록 하는 것을 특징으로 하는 반도체 소자의 제조방법

**【청구항 3】**

반도체 웨이퍼 표면에 형성된 웰, 소오스, 드레인영역과;

상기 웨이퍼 위에 형성되는 게이트 산화막과;

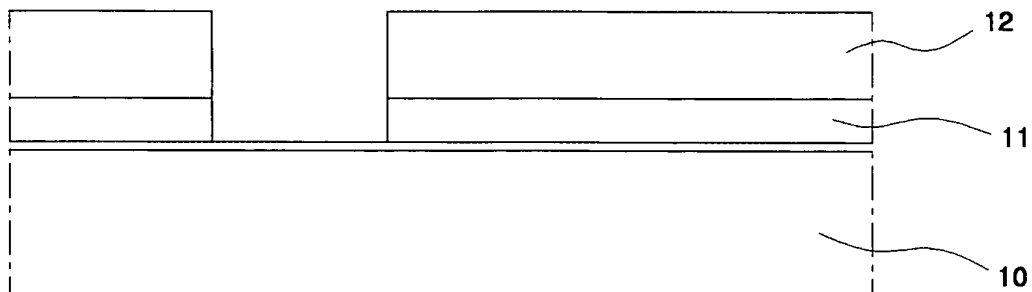
상기 게이트 산화막 위에 형성되는 게이트 및;

내부에 절연물질이 충전되는 트렌치를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 구조

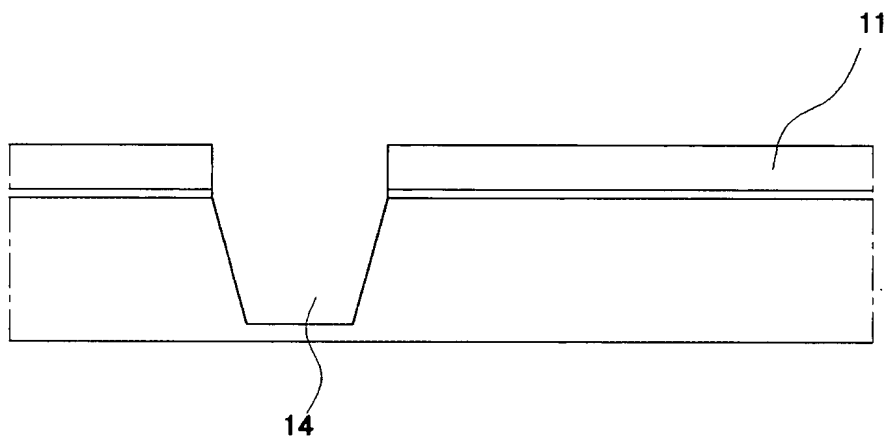


【도면】

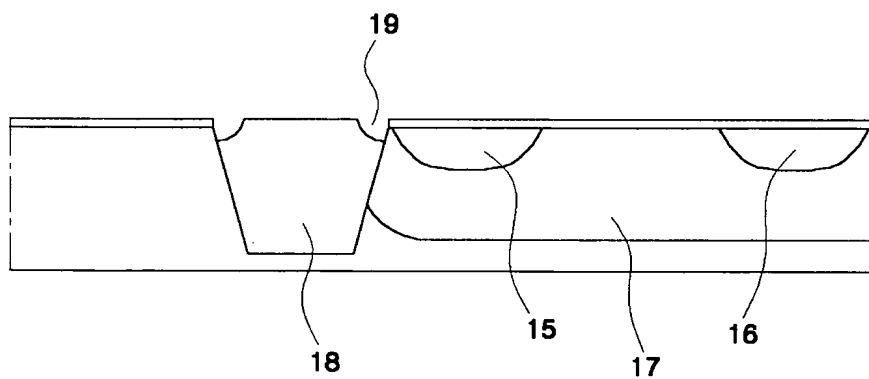
【도 1a】



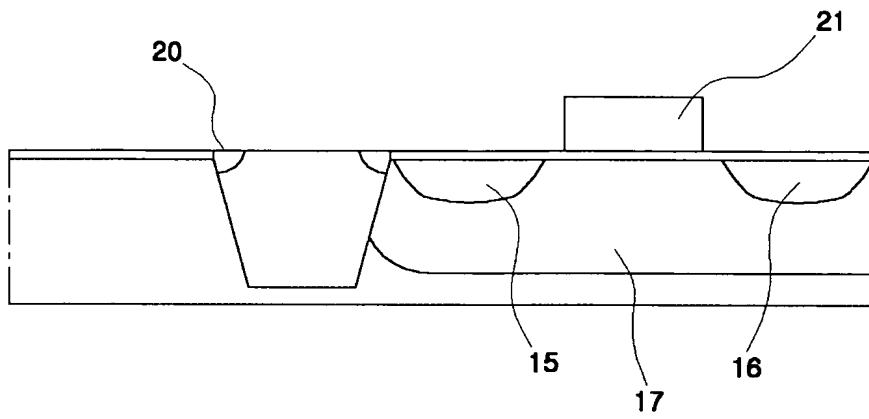
【도 1b】



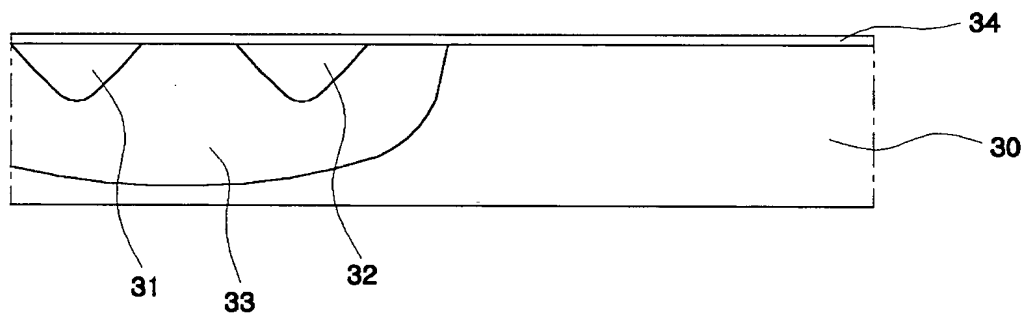
【도 1c】



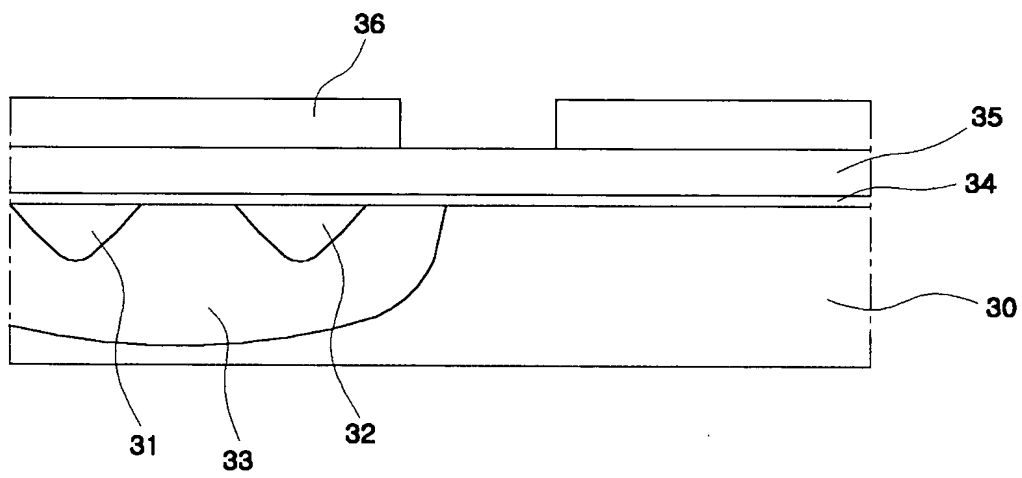
【도 1d】



【도 2a】

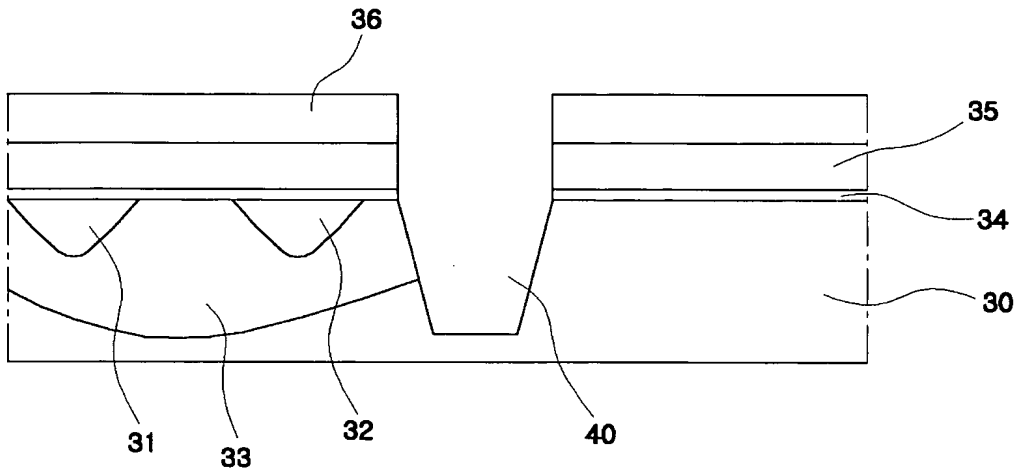


【도 2b】

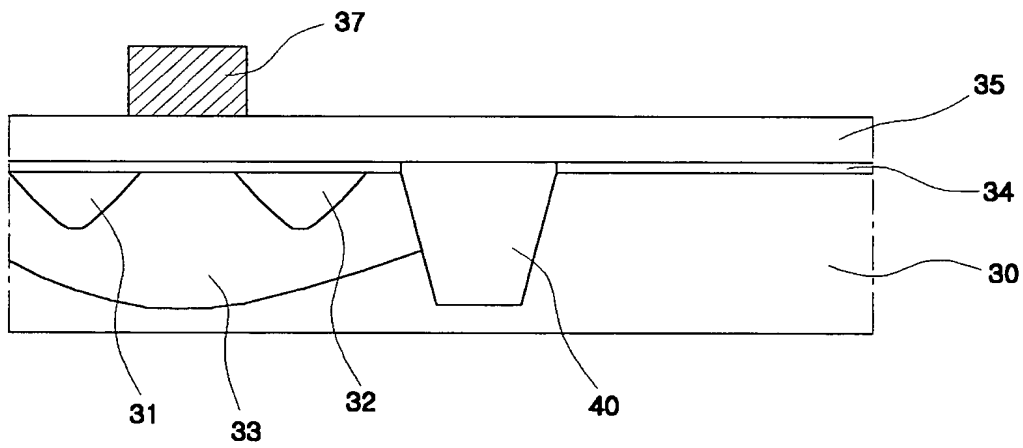




【도 2c】



【도 2d】



【도 2e】

